

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-052129

(43)Date of publication of application : 28.02.1989

(51)Int.Cl.

G02F 1/133

H01L 27/12

H01L 29/78

(21)Application number : 62-208168

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 24.08.1987

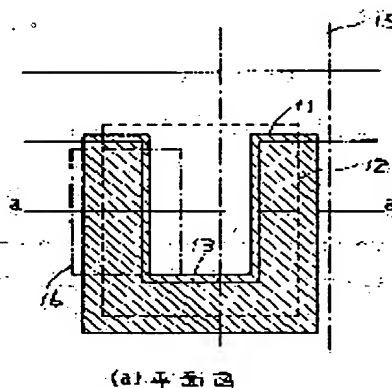
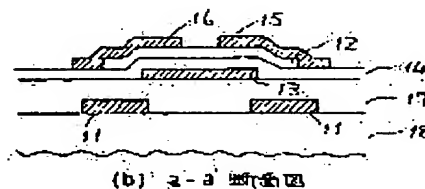
(72)Inventor : OTAGURO HIROSHI
SUZUKI KOJI
AKIYAMA MASAHIKO
TOEDA HISAO

(54) THIN FILM TRANSISTOR

(57)Abstract:

PURPOSE: To decrease the leak current between drain and source by providing a light shielding layer in such a manner that the direct fall of the incident light from a gate side to an amorphous silicon layer is prevented.

CONSTITUTION: The amorphous silicon layer 12 is provided on the gate electrode 13 made of a molybdenum-tantalum alloy (MT) and a drain electrode 15 and a source electrode 16 made of aluminum, etc., are provided thereon. The light shielding layer 11 consisting of metal such as molybdenum, black org. material and dye is disposed on the side of the gate electrode 13 opposite to the amorphous silicon layer 12 side to prevent the direct fall of the incident light from the gate side to the amorphous silicon layer 12; in addition, the flat overlap of the light shielding layer 11 and the gate electrode 13 is confined to $\leq 3\mu\text{m}$ to constitute a thin film transistor. Since the fall of the light to the amorphous silicon layer is prevented by providing the light shielding layer, the leak current between the drain and source is decreased and the increase in the parasitic capacity by provision of the light shielding layer is lessened.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭64-52129

⑫ Int.Cl.⁴ 識別記号 庁内整理番号 ⑬ 公開 昭和64年(1989)2月28日
G 02 F 1/133 3 2 7 7370-2H
H 01 L 27/12 7514-5F
29/78 3 1 1 N-7925-5F 審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 薄膜トランジスタ

⑮ 特 願 昭62-208168

⑯ 出 願 昭62(1987)8月24日

⑰ 発 明 者 大 田 黒 洋 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究
所内
⑰ 発 明 者 鈴 木 幸 治 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究
所内
⑰ 発 明 者 秋 山 政 彦 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究
所内
⑰ 発 明 者 戸 枝 久 郎 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究
所内
⑱ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地
⑲ 代 理 人 弁 理 士 則 近 憲 佑 外1名

明 細 書

1. 発明の名称

薄膜トランジスタ

2. 特許請求の範囲

(1) 透明基板上に形成されたアモルファスシリコン層、不透明ゲート電極と、ゲート電極側からの入射光が直接該アモルファスシリコン層に当たらないように該入射光を遮蔽する光遮蔽層を含む薄膜トランジスタにおいて、前記光遮蔽層と前記ゲート電極の平面的な重なりが3ミクロンメートル以下であることを特徴とする薄膜トランジスタ。

3. 発明の詳細な説明

(発明の目的)

(産業上の利用分野)

本発明は、薄膜トランジスタに係り、特にゲート側からの入射光を遮蔽する光遮蔽層を設けたアモルファスシリコン薄膜トランジスタに関する。

(従来の技術)

近年、計測機器、事務機、コンピュータの端末ユニットに用いられる表示装置として、従来のC

RT (Cathode Ray Tube) に代わって、エレクトロルミネッセンス(EL)パネル、プラズマディスプレイパネル、LEDパネル、液晶表示装置等の、軽量薄型の表示装置の要求が増加している。これらの軽量薄型の表示装置の中で、液晶表示装置はその低消費電力、低コストといった有利な特徴から、特に重視されている。

アクティブマトリックス型の液晶表示装置は、薄膜トランジスタ等のスイッチング素子が基板の表示領域において、マトリクス状に配列され、各ポイント(画素)毎に画像データが所定時間だけ格納され、その蓄積画像に応じて、各画素の液晶層部分の液晶層の状態が変化し、これにより、表示領域に所望の画像を表示する。従って、アクティブマトリックス型の液晶表示装置は、全時間画像表示を行い、再生画像の質を向上する。

ところが、薄膜トランジスタを構成するアモルファスシリコン層に光が当たると、本来該薄膜トランジスタのドレイン、ソース間の電流が流れるべきでない前記薄膜トランジスタがOFFの状態の

ときに、前記ドレイン、ソース間にリーク電流が流れてしまう。その結果、画素に書き込まれた画像情報の電圧が減衰してしまい、表示画像のコントラストの低下や、一画面内での画像の不均一性、フリッカ等画質劣化の原因になる。

従って、従来薄膜トランジスタのゲート側に光遮蔽層を設け、ゲート側からの入射光が直接該薄膜トランジスタのアモルファスシリコン層に当たらないようにした薄膜トランジスタが発明されている。

第4図、第5図に従来の光遮蔽層を設けた薄膜トランジスタを示す。第4図はゲート電極を透明基板側に配設した構造の薄膜トランジスタの例である。第5図は薄膜トランジスタの上部にゲート電極を設けた例である。

第4図、第5図の従来例とも、光遮蔽層はアモルファスシリコン層を平面的に完全に覆い隠すようになっている。このように光遮蔽層とゲート電極の重なりが大きいと、光遮蔽層とゲート電極との間の容量が大きくなってしまいう問題点がある。

なりを実質的になくし、光遮蔽層と前記ゲート電極の平面的な重なりは、光の回り込みを防ぐために3マイクロメートル以下とした。

(作用)

本発明の方法を用いることによって、薄膜トランジスタのアモルファスシリコン層へ直接当たるゲート側からの入射光を遮蔽することが出来、光が当たることによって生じるドレイン、ソース間のリーク電流を低減することが出来る事はもとより、寄生容量の増加を防ぐことが出来る。

その結果、液晶表示装置の画像表示部においては、コントラストの低下や一画面内での画質のムラ、フリッカ等の画質の低下をなくすることが出来る。

(実施例)

第1図(a)、(b)は本発明の実施例である。第1図(a)は薄膜トランジスタ及び光遮蔽層の平面図、第1図(b)は同図(a)中の直線a-a'での断面図である。第1図(a)において、薄膜トランジスタはモリブデン・タンタル合金(MT)等の金属材料でできて

あった。

(発明が解決しようとする問題点)

高画質を実現するためには、前記のような画質低下につながる薄膜トランジスタに光が当たることによって流れるドレイン、ソース間のリーク電流を低減する必要があり、光遮蔽層をゲート側に設けた薄膜トランジスタが発明されている。ところが、光遮蔽層を設けると寄生容量が増加してしまうという問題点がある。

本発明は、薄膜トランジスタのアモルファスシリコン層へ直接当たるゲート側からの光を遮蔽することが出来、光が当たることによって生じるドレイン、ソース間のリーク電流を低減することが出来る事は元より、光遮蔽層を設けることによって生じる寄生容量の増加を小さくすることが出来る薄膜トランジスタを提供することを目的とする。

(発明の構成)

(問題を解決するための手段)

本発明では、発明の目的に記載の問題点を解決するために、光遮蔽層とゲート電極の平面的な重

いるゲート電極¹⁰と、アモルファスシリコン層¹²と、アルミニウム等の金属材料でできているドレイン電極¹⁴、ソース電極¹⁶及び当該電極等を絶縁するSiO₂等絶縁膜¹⁸から構成されている。

さらに、ゲート側からの入射光がアモルファスシリコン層¹²に直接当たらないように、モリブデン等の金属や、黒色有機材や、染料からなる光遮蔽層¹⁰を配置してある。該光遮蔽層は、薄膜トランジスタをゲート側¹⁰側からみたときに、アモルファスシリコン層¹²が直接見えないように配置する。薄膜トランジスタと光遮蔽層¹⁰の間にはSiO₂やSiN_x等の絶縁膜¹⁸がある。

光遮蔽層はアモルファスシリコン層¹²がゲート電極¹⁰に隠れてゲート側からの入射光が当たらない部分にはなく、該光遮蔽層はU字形をしている。第1図(a)に示すように光遮蔽層をU字形にすると、光遮蔽層¹⁰とゲート電極¹⁰との間に出来る容量を小さくすることが出来る。

第2図(a)、(b)は、ゲート電極¹⁰の幅がアモルファスシリコン層¹²より大きい場合の実施例である。

但し、ここで言う幅とは図の上下方向である。アモルファスシリコン層は第2図(a)においてゲート電極33の左右のみにはみ出している。光遮蔽層は、このみ出したアモルファスシリコン層が隠れるように2つの部分(21)に分かれている。

実施例第3図(a)、(b)は、実施例第1図、第2図のトランジスタとは逆にガラス基板(38)側にドレイン電極(33)及びソース電極(34)を倒え、トランジスタの上部にゲート電極(32)を倒えた構造のアモルファスシリコン層(35)を含む薄膜トランジスタである。光遮蔽層(31)は前記ゲート電極の上部に絶縁膜(37)を介して付けてあり、該光遮蔽層(31)の形状はU字形をしており、ゲート電極との平面的な重なりは3ミクロンメートル以下である。

なお、実施例第1図〜第3図において、光遮蔽層は、アモルファスシリコン層を隠すことが出来、ゲート電極との平面的な重なりが3ミクロンメートル以下という条件を満たすことが出来る形状をしていれば良い。

又、液晶表示装置の駆動回路をアモルファスシ

リコンを使った薄膜トランジスタで作った場合にも前記リーク電流を低減することが出来、トランジスタ及び、又は駆動回路の特性が低下することを防ぐことが出来る。なお、ガラス基板は石英基板等の透明基板でもよい。

液晶表示装置の画像表示部においては、コントラストの低下や一画面内での画質のムラ、フリッカ等の画質の低下をなくすることが出来る。

また、光遮蔽層をゲート電極に接続し、ゲート電極と同電位にしてもよい。

光遮蔽層をゲート線と同電位にすることによって、光遮蔽層とゲート線等との容量が増加することを防ぐ事が出来、薄膜トランジスタの性能を低下させることなく効果的にリーク電流を低減することが出来る。特に、本発明の薄膜トランジスタをアクティブマトリクス型液晶表示装置に用いた場合、画素電極への画像信号の書き込みが困難になることを防ぎ、表示画像の画質を向上させる事が出来る。

(発明の効果)

本発明により、薄膜トランジスタのアモルファスシリコン層へ直接当たるゲート側からの光を遮蔽することが出来、光が当たることによって生ずるドレイン、ソース間のリーク電流を低減することが出来る事は元より、光遮蔽層を設けることによって生じる寄生容量の増加を小さくすることが出来る。

その結果、液晶表示装置の画像表示部においては、コントラストの低下や一画面内での画質のムラ、フリッカ等の画質の低下をなくすることが出来る。

4. 図面の簡単な説明

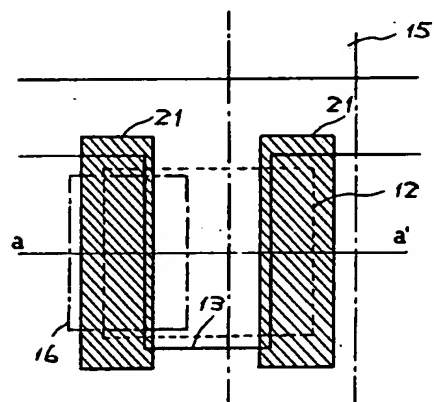
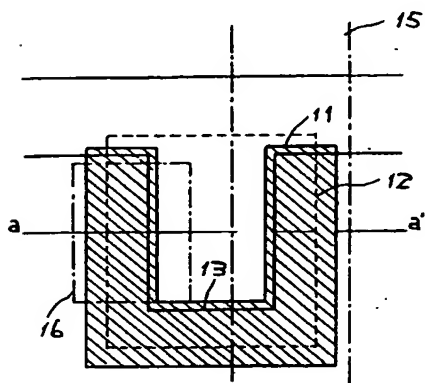
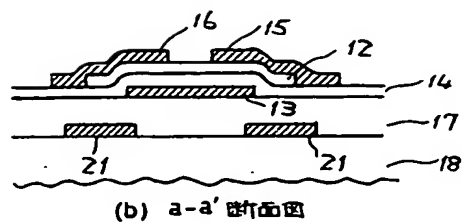
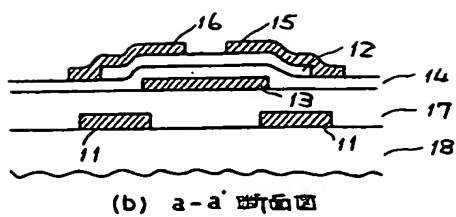
第1図(a)は、本発明の実施例の平面図、(b)はその断面図である。第2図は、光遮蔽層の形状を変えた例である。第3図は上側にゲート電極がある薄膜トランジスタに本発明の光遮蔽層を設けた実施例である。第4図、第5図は光遮蔽層を設けた薄膜トランジスタの従来例である。

11, 21, 31, 41, 51…光遮蔽層、12…アモルファスシリコン層、13…ゲート電極、14

…絶縁層、15…ドレイン電極(データ電極)、16…ソース電極、17…絶縁層、18…ガラス基板、31…光遮蔽層、32…ゲート電極、33…ドレイン電極(データ電極)、34…ソース電極、35…アモルファスシリコン層、36, 37…絶縁層、38…ガラス基板。

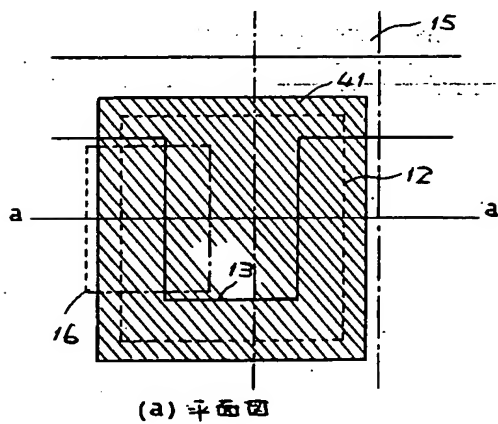
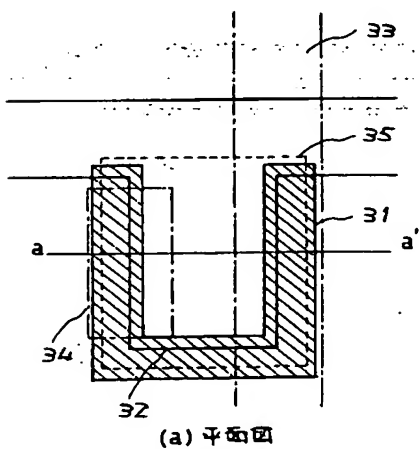
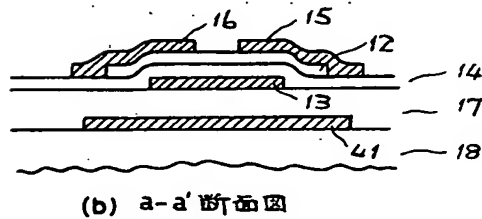
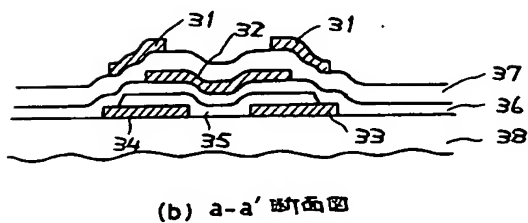
代理人弁理士 則 近 悠 佑

向 松 山 九 之



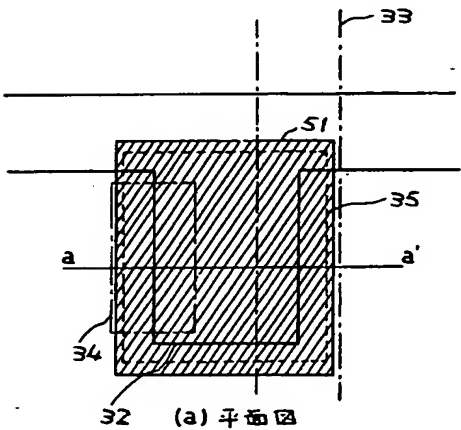
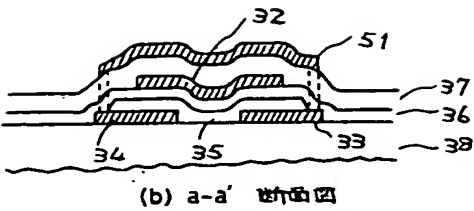
第 1 図

第 2 図



第 3 図

第 4 図



第 5 図